

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Cn. JP 200-174283

특 2000-0047907

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 29/78(11) 공개번호 특 2000-0047907
(43) 공개일자 2000년 07월 25일

| | |
|------------|--|
| (21) 출원번호 | 10-1999-0064814 |
| (22) 출원일자 | 1999년 12월 03일 |
| (30) 우선권주장 | 10-344247 ~ 1998년 12월 03일 일본(JP) |
| (71) 출원인 | 사포 가부시키가미샤 마쓰다 가쯔히코 |
| (72) 발명자 | 일본 오사카후 오사카시 아베노구 나가이케조 22방 22고 아단알베르토오스카 |
| (74) 대리인 | 일본국나리630-014101 코마시히카리가오카3-1-3 백덕열, 미태희 |

설사첨부 : 있음

(54) SOI 구조를 갖는 반도체장치 및 그의 제조방법

요약

SOI 구조의 반도체장치는: 매립된 절연막 및 매립된 절연막상의 제 1 도전형 표면반도체층을 갖는 SOI 기판; 상기 표면반도체층에 형성된 제 2 도전형 소스 및 드레인영역; 상기 소스 및 드레인영역상에 게이트절연막을 통해 형성된 게이트전극을 포함하며, 상기 소스 및 드레인영역이 상기 표면반도체층보다 얕고, 상기 표면반도체층의 상기 채널영역이, 상기 채널영역의 표면보다 제 1 도전형 불순률농도가 높고, 매립된 절연막에 민접하는 제 1 도전형 고농도 불순률확산영역을 갖는다.

도표도

도 1

설명서

도면의 간단한 설명

도 1은 본 발명에 따른 SOI 구조의 반도체장치의 바람직한 실시예를 나타내는 주요부의 개략적인 단면도;

도 2는 도 1의 반도체장치의 채널영역의 깊이 방향의 불순률농도의 프로파일을 나타내는 설명도;
도 3은 본 발명에 따른 SOI 구조의 반도체장치가 CMOS를 구성하는 경우의 바람직한 실시예를 나타내는 주요부의 개략적인 단면도;

도 4는 본 발명에 따른 SOI 구조의 반도체장치의 특성을 설명하기 위한 Id-Vg 곡선의 설명도;
도 5(a), 도 5(b) 및 도 5(c)는 본 발명에 따른 SOI 구조의 반도체장치의 특성을 설명하기 위한 각각 MOSFET의 평면도, 단면도, 및 회로도;

도 6은 본 발명에 따른 SOI 구조의 반도체장치의 특성을 설명하기 위한 웨저털과 웨콘택트 및 MOSFET 사이의 거리와의 관계를 나타내는 설명도;

도 7(a) 내지 7(c)는 본 발명에 따른 SOI 구조의 반도체장치의 제조공정을 설명하기 위한 주요부의 개략적인 단면도;

도 8은 본 발명에 따른 SOI 구조의 반도체장치의 다른 바람직한 실시예를 나타내는 주요부의 개략적인 단면도;

도 9는 도 8의 반도체장치의 제조공정을 설명하기 위한 주요부의 개략적인 단면도;

도 10은 종래의 SOI 구조의 반도체장치를 나타내는 주요부의 개략적인 단면도;

도 11은 종래의 다른 SOI 구조의 반도체장치를 나타내는 주요부의 개략적인 단면도; 및

도 12는 종래의 또 다른 SOI 구조의 반도체장치를 나타내는 주요부의 개략적인 단면도이다.

발명의 상세한 설명

발명의 목적

설명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SOI 구조를 갖는 반도체장치 및 그의 제조방법에 관한 것이다. 더 구체적으로는, 고농도 불순물을 확산영역을 갖는 SOI 기판상에 형성되고 저전압에 의해 등작되는 집적회로에 적용될 수 있는 반도체장치, 및 그의 제조방법에 관한 것이다.

최근, CMOS 회로에 저전압동작이 실현되었고, 이러한 CMOS 회로의 저전압동작($V_{dd} < 1.5V$)의 실현에 대해 충분한 동작마진을 갖기 위해, CMOS 회로를 구성하는 MOSFET의 임계치전압(V_{th})은 전원전압(V_{dd})의 약 1/4 미하로 감소될 필요가 있다.

그러나, 임계치전압이 감소될 때, MOSFET의 오프 리크전류가 다음 식에 따라 지수함수적으로 증가한다:

$$Idoff = 10 \times 10^{-15.75}$$

$$I_0 \approx 2 \times 10^{-7} \text{ Amp / } \mu\text{m}$$

$$S = \ln 10 \cdot \frac{dV_{GS}}{d(\ln I_{DS})} = (\ln 10) \cdot \frac{kT}{q} \left(1 + \frac{Cd}{Cox} \right) \approx 90 \text{ mV/dec}$$

여기서, I_{doff} 는 오프 상태 ($V_g=0$)의 드레인전류, I_0 는 $V_g=V_{th}$ 일 때의 드레인전류, S 는 서비스레쉬홀드의 경사 (S 패턴), C_d 는 콤팩트 플립카운터이고, C_{ox} 는 게이트용량이다.

이들 쪽으로부터, 트랜지스터의 동작전압과 LSI의 스тен바이전류 사이에 트레이드-오프 관계가 있는 것이 발견된다. 따라서, 낮은 임계치전압을 갖는 MOSFET은 큰 스тен바이전류를 야기하여, 저전압, 저소비전류, 땅 배터리동작 LSI 들에 대해 실용적이지 않다.

저임계치전압과 오프 리크전류 사이의 트레이드-오프 관계의 문제를 해결하는 방법으로서, 동작 상태 및 스탠바이상태의 MOSFET의 임계치전압을 제어하는 것이 효과적이다. 즉, 트랜지스터의 동작상태에서, MOSFET의 저전압동작을 실현하기 위해, 임계치전압이 낮은 값으로 설정되고, 오프 상태에서, 오프 리크전류를 감소시키기 위해, 임계치전압이 높은 값으로 설정된다.

이 점에서, MOSFET가 SOI 기판상에 형성되는 경우, 완전한 유전체분리, 래치-업-프리 등 몇 개의 장점이 있다. 특히, 완전공핍화된 SOI 구조의 MOSFET의 경우, 표면반도체층의 채널영역의 전부가 완전히 공핍화되도록 충분히 얇기 때문에, C_d 는 0으로 되고, S 팩터는 실온에서 $60\text{mV}/\text{dec}$ 까지 감소될 수 있다. 이에 의해, 오프 전류를 감소시킬 수 있다. 그러나, 저임계치전압의 트레이드-오프 관계가 저전압으로 시프트된다.

그러나, DMOS에서 각 트랜지스터는, 채널영역(32b)이 게이트전극(33)에 직접 접속될 필요가 있기 때문에, 채널영역(32b)과 게이트전극(33) 사이의 콘택트를 별도로 구비할 필요가 있다. 이에 의해, 레이아웃 면적의 증대를 초래하고, 제조공정을 복잡하게 하는 문제가 있다. 또한, 이로써 등작전압(Vdd)은, 이마트 면적의 증대를 초래하고, 제조공정을 복잡하게 하는 문제가 있다. 또한, 이로써 등작전압(Vdd)은, 리크전류를 방지하기 위해 소스와 기판 사이의 니마오드의 텐-오프 전압(0.6V)보다 충분히 낮게 할 필요가 있고, DMOS의 응용을 제한하는 문제를 초래한다.

또한, 다른 예로서, 도 11에 도시된 SOI 구조를 갖는 MOS형 반도체장치가, 일본국 특허공개공보 제 97-246562호에 제안되어 있다. 이 반도체장치는, 표면반도체층상에 게이트전극(43), 소스 및 드레인영역(41, 42), 및 채널영역(40)이 형성되고, 소자분리막(45)을 통해 소스영역(41)에 인접하는 보디론택트영역(9) 및 채널영역(40)과 보디론택트영역(44)을 전기적으로 접속하는 경로(46)가 제공된 구조를 갖는다. 이러한 구조에 의해, 채널영역(40)에 전압이 직접 인가되어, 채널의 임계전압을 제거할 수 있다.

그러나, 이러한 구조는, 트랜지스터를 둘러싸는 영역에 채널영역(40)과 보디온택트영역(44)을 접촉하는 경계(46)를 가지게 되어 있다.

또한, 또 다른 예로서, 도 12에 도시된 반도체장치가, 일본국 특허공개공보 제 97-36246호에 제
안되어 있다. 이 반도체장치에서, 실리온기판(50)상에 매립된 절연막(51) 및 표면반도체층(52)이 형성되
고, 표면반도체층(52)상에 MOS 트랜지스터가 형성되고, 이 MOS 트랜지스터의 채널영역(53)이 각각 바이어
스회로(54)에 접속됨에 의해, 채널영역(53)에 전압이 직접 인가되어, 채널의 임계치전압을 제어할 수 있
다.

그러나, 이 반도체장치는 각 트랜지스터가 바이어스회로에 접속될 필요가 있기 때문에, 상기 설
명된 다른 반도체장치의 경우와 같이 보다 큰 레이아웃 면적을 필요로 하는 문제가 있다.

• 멤비 이를 고착하는 기술은 표지

본 발명의 일부 양태에 의하면, SOI 구조의 반도체장치는: 매립된 절연막 및 매립된 절연막상의 제 1 도전형 표면반도체층을 갖는 SOI 기판; 상기 표면반도체층에 형성된 제 2 도전형 소스 및 드레인영역; 상기 소스 및 드레인영역 사이의 제 1 도전형 채널영역상에 게이트절연막을 통해 형성된 게이트전극을 포함한다.

한하며, 상기 소스 및 드레인영역이 상기 표면반도체층보다 얕고, 상기 표면반도체층의 상기 채널영역이, 상기 채널영역의 표면보다 제 1 도전형 불순률농도가 높고, 매립된 절연막에 인접하는 제 1 도전형 고농도 불순률확산영역을 갖는다.

본 발명의 다른 양태에 의하면, SOI 구조의 반도체장치의 제조방법은: i) 기판상에 매립된 절연막 및 제 1 도전형 표면반도체층을 형성하여, 상기 표면반도체층상에 게이트절연막 및 게이트전극을 형성하는 단계; ii) 제 2 도전형 소스 및 드레인영역을 형성하기 위해 상기 게이트전극을 마스크로 사용하여 하는 단계; iii) 제 2 도전형 불순률이온을 주입하는 단계; 및 iv) 제 2 도전형 소스 및 드레인영역의 제 1 도전형 표면반도체층의 제 1 도전형 불순률농도를 감소시키기 위해 게이트전극을 마스크로 사용하여 제 2 도전형 불순률이온을 더 깊게 주입함에 의해, 제 2 도전형 소스 및 드레인영역 사이의 제 1 도전형 채널영역이고 매립된 절연막에 인접하고, 채널영역의 표면보다 제 1 도전형 불순률농도가 높은 제 1 도전형 고농도 불순률확산영역을 형성하는 단계를 포함한다.

설명의 구성 및 작용

본 발명에 따른 SOI 구조의 반도체장치는, 매립된 절연막 및 매립된 절연막상의 제 1 도전형의 표면반도체층을 갖는 SOI 기판, 표면반도체층보다 얕은 제 2 도전형 소스 및 드레인영역, 소스와 드레인영역 사이에 배치되고 매립된 절연막에 인접하고, 채널영역의 표면보다 불순률농도가 높은 제 1 도전형 고농도 불순률확산영역을 갖는 제 1 도전형 채널영역, 및 제 1 도전형 채널영역상에 형성된 게이트전극을 갖는다.

본 발명에 따른 SOI 기판은, 통상, 지지기판, 지지기판상에 형성되는 매립된 절연막 및 매립된 절연막상에 형성되는 표면반도체층을 포함하고, 저소비전력 및 고속동작의 실현에 유효하다. SOI 기판의 예는 접합 SOI(BESOI)형 기판, SIMOX(Separation by Implantation of Oxygen)형 기판 등이 있다. 지지기판으로서: 예컨대, 실리콘, 게르마늄 등의 반도체기판; GaAs, InGaAs 등의 화합물반도체; 및 사파이어, 석영, 유리, 틀라스틱 등의 절연기판 등 다양한 유형의 기판이 사용될 수 있다. 이에 대해서, 상기 지지기판상에 트랜지스터, 커파시터 등의 소자 또는 회로가 형성되는 기판이 지지기판으로서 사용될 수 있다.

매립된 절연막으로서는, 예컨대, SiO_x 막, SiN 막 등이 사용될 수 있다. 막의 두께는, 얇고자 하는 반도체장치의 특성, 얕어진 반도체장치가 사용될 때의 인가된 전압의 크기를 고려하여 조정될 수 있고, 예컨대, 약 50nm 내지 500nm 정도이다.

표면반도체층은, 트랜지스터를 형성하기 위한 활성층으로서 기능하는 반도체박막이고 실리콘, 게르마늄 등의 반도체, 또는 GaAs, InGaAs 등의 화합물반도체에 의한 박막으로 형성될 수 있다. 그 재료들 중에서, 실리콘박막이 비싸지만, 표면반도체층의 두께는, 얕어지는 반도체장치의 특성을 고려하여, 예컨대, 헤슬하는 트랜지스터의 소스 및 드레인영역의 접합깊이, 표면반도체층 표면상의 채널영역의 깊이, 불순률농도, 매립된 절연막에 인접한 고농도 불순률확산영역의 깊이 등의 여러 가지 파라미터에 의해, 조정될 수 있고, 예컨대, 약 150nm 내지 200nm 정도이다.

상술한 바와 같이, 표면반도체층은, 주로 1) 표면반도체층보다 얕은 제 2 도전형 소스 및 드레인영역, 2) 소스영역 및 드레인영역 사이에 배치되는 표면채널, 및 표면채널 직하에 배치되고 매립된 절연막에 인접하고, 표면채널보다 불순률농도가 높은 제 1 도전형 고농도 불순률확산영역을 갖는 채널영역, 및 3) 제 1 도전형 고농도 불순률확산영역에 인접하고 제 2 도전형 소스 및 드레인영역 직하에 배치되고 표면채널의 불순률농도와 동일하거나 그보다 낮은 제 1 도전형 불순률농도를 갖는 저농도 불순률확산영역을 포함한다.

1) 제 2 도전형 소스 및 드레인영역은, 표면반도체층과 동일한 도전형 및 역도전형의 불순물을, 예컨대, 약 1×10^{10} atoms/cm² 내지 1×10^{11} atoms/cm² 농도로, 포함하여 형성될 수 있다. 이 점에서, 소스 및 드레인영역은, 채널층의 소스 및 드레인영역의 단부에 LDD 구조와 같은 구조를 갖고 소스 및 드레인영역보다 불순률농도가 낮은 영역, 또는 소스 및 드레인영역과 불순률농도가 동일하거나 그보다 높고 소스 및 드레인영역의 접합보다 약간 얕은 영역을 가질 수 있다. 또한, 소스 및 드레인영역의 깊이는, 제조되는 반도체장치의 특성에 따라 적절히 조정될 수 있고, 표면반도체층의 막두께(예컨대, 200nm)의 약 50%, 더 구체적으로는, 80nm 내지 150nm, 특히, 100nm 내지 150nm 정도로 할 수 있다.

2) 도에 도시된 바와 같이, 채널영역은, 채널영역의 깊이방향으로 표면채널과 고농도 불순률확산영역에 불순률농도가 급증하게 변화하는 도핑프로파일을 갖는다. 즉, 표면채널의 제 1 도전형 불순률농도를 N_d 및 매립된 절연막에 인접하는 고농도 불순률확산영역의 제 1 도전형 불순률농도를 N_a로 설정하면, N_d>>N_a의 관계를 충족하도록 불순률농도가 설정된다. 이들의 불순률농도는, 표면반도체층의 막두께, 표면채널의 두께, 고농도 불순률확산영역의 두께 등에 따라 조정될 수 있고, 예컨대, 표면채널의 제 2 도전형 불순률농도(N_a)는 약 1×10^{16} atoms/cm² 내지 1×10^{17} atoms/cm², 및 매립된 절연막에 인접하는 고농도 불순률확산영역의 제 1 도전형 불순률농도(N_b)는 약 1×10^{15} atoms/cm² 내지 1×10^{16} atoms/cm²로 설정된다. 또한, 표면채널의 두께 및 고농도 불순률확산영역의 두께는, 표면반도체층의 두께에 따라 조정될 수 있고, 예컨대, 약 30nm 내지 150nm 및 50nm 내지 150nm 정도로 각각 설정된다. 이에 대해, 표면채널의 두께 및 불순률농도는 다음 식을 충족하도록 설정된다:

$$Tb < \sqrt{\frac{4 \cdot \epsilon \cdot \phi_F}{q \cdot Na}}$$

Tb는 표면채널의 두께, ε는 표면반도체를 구성하는 반도체의 유전율, φ_F는 페르미 포텐셜, q는 단위 전하량이며, 상기 조건에 의해, 본 발명에 따른 반도체장치의 표면채널(4)이 완전히 공핍화된다.

또한, 고농도 불순물 확산 영역은, 다음 식을 충족하도록 설정되는 것이 바람직하다:

$$X_d < \sqrt{\frac{4 \cdot \epsilon \cdot V_{bi}}{q \cdot N_b}}$$

X_d 는 고농도 불순물 확산 영역의 두께이고 V_{bi} 는 빌트인 전압이다. 이에 대해, 고농도 불순물 확산 영역은 표면반도체층에 형성되는 웨로서 형성될 수 있다.

또한, 이 경우, 본 발명에 따른 SOI 구조의 반도체장치의 임계치전압(V_{th})은 다음 식에 의해 표현된다:

$$V_{th} = V_{fb} + 2 \cdot \phi_p \cdot \left(1 + \frac{C_b}{C_{ox}} \right) + \frac{q \cdot N_a \cdot T_b}{2 \cdot C_{ox}} - \left(\frac{C_b}{C_{ox}} \right) \cdot V_b$$

V_{fb} 는 플랫밴드 전압, ϕ_p 는 e/T_b 에 의해 표현되며, C_{ox} 는 게이트절연막의 용량이고, V_b 는 보디(body) 영역(도 1의 영역 5)에 인가된 전압이다. 상기 식에 의하면, 임계치전압(V_{th})은 보디영역에 인가된 전압(V_b)과 함께 직선적으로 변화함으로써, 임계치전압(V_{th})은 보디영역에 인가된 전압(V_b)에 의해 용이하게 제어될 수 있다.

3) 소스 및 드레인영역 직하에 배치되는 제 1 도전형 저농도 불순물 확산 영역의 제 1 도전형 불순물 농도는, 소스 및 드레인영역의 접합용량을 감소시키도록, 예컨대, 표면채널과 동일한 정도이거나, 더 바람직하게는, 표면채널보다 낮도록, 더 구체적으로는, 약 1×10^{16} atom/cm² 내지 1×10^{17} atoms/cm² 정도로 설정되는 것이 바람직하고, 매립된 절연막에 인접하는 제 1 도전형 고농도 불순물 확산 영역의 두께는 50nm 내지 150nm 정도로 설정되는 것이 바람직하다. 또한, 저농도 불순물 확산 영역은, 품의 완전공필화 상태, 즉, 소스 및 드레인영역의 접합표면으로부터 표면반도체층과 매립된 절연막 사이의 계면까지 소스 및 드레인영역 하부의 전체영역이 완전히 공필화되는 상태를 의미한다.

저농도 불순물 확산 영역을 완전공필화 상태로 제어함에 의해, 소스 및 드레인영역 하부로 확장하는 공필층에 의한 용량이 매립된 절연막의 용량과 직렬로 접속되기 때문에, 소스/드레인 접합용량, 즉, 트랜지스터 부하용량이 감소될 수 있어, 반도체장치의 저소비전력화 및 고속화가 실현된다.

또한, 본 발명에 따른 SOI 구조의 반도체장치는, 표면반도체층상에 형성된 소스 및 드레인영역, 채널영역상에 형성된 게이트절연막 및 게이트전극을 포함하는 트랜지스터를 갖는다. 게이트절연막은 통상 게이트절연막으로서 가능하는 재료 및 막두께로 형성될 수 있다. 게이트전극은, 폴리실리콘, W, Ta, Ti, Mo 등의 고용점을 갖는 금속의 실리사이드, 실리사이드(예컨대, MoSi, WSi) 및 폴리실리콘으로 형성되는 폴리사이드 및 그 밖의 금속에 의해, 약 150nm 내지 300nm의 막두께로 형성될 수 있다. 이에 대해, 게이트전극은, 후술하는 소스 및 드레인영역를 형성하기 위해 흥방형의 불순물의 확산을 고려하여, 절연막으로 형성되는 측벽 스페이서를 가질 수 있다.

이에 대해, 상기 고농도 불순물 확산 영역이 웨로서 형성되는 경우, 웨내에 복수의 트랜지스터가 형성되고, 각 트랜지스터가 로코스 산화막 또는 트렌치 소자분리막에 의해 분리되는 것이 바람직하다. 바람직하게, 로코스 산화막 또는 트렌치 소자분리막의 두께는 표면반도체층의 두께보다 얕다. 이것에 의해, 로코스 산화막 또는 트렌치 소자분리막 하부에 고농도 불순물 확산 영역이 확장되고, 고농도 불순물 확산 영역은 인접하는 반도체장치의 채널영역들을 전기적으로 접속시킬 수 있다. 이에 대해, 로코스 산화막 또는 트렌치 소자분리막 하부에 확장되는 고농도 불순물을 확산 영역은, 반도체장치의 크기, 동작전압 등에 따라 트렌치 소자분리막의 위치에서 전원에 접속시킬 수 있어, 채널영역의 임계치전압을 제어할 수 있고 전압적 조정이 조정되거나 변화될 수 있다. 이에 대해, 채널영역의 임계치전압을 제어하는 방법으로서는, 전기적 특성이 조정되거나 변화될 수 있다. 예컨대, 약 150nm 내지 200nm의 막두께를 갖는 표면반도체층의 경우, 소자분리막의 두께는 약 50nm 내지 150nm 정도일 수 있고, 고농도 불순물을 확산 영역의 불순물 농도는 표면채널하의 고농도 불순물 확산 영역과 동일할 수 있다. 또한, 서로 접속된 채널영역은 1개의 위치에서 전원에 접속시킬 수 있어, 채널영역의 임계치전압이 제어될 수 있고 복수의 채널영역은 1개의 위치에서 전원에 접속시킬 수 있다. 이에 대해, 채널영역의 임계치전압을 제어하는 방법으로서는, 예컨대, 트랜지스터가 액티브(온)일 때, 바이어스전압이 그에 인가되고, 트랜지스터가 스턴바이(오프)일 때, 트랜지스터가 액티브(온)일 때, 바이어스전압이 그에 인가되는 방법이 있다. 이에 의해, 트랜지스터가 온일 때 임계치전압의 절대치를 감소하는 방법으로서는, 트랜지스터가 오프일 때 리크전류 또는 소비전류를 감소시킬 수 있다.

본 발명에 따른 SOI 구조의 반도체장치가 형성될 때, 먼저, 단계 1)에서, 매립된 절연막 및 제 1 도전형 표면반도체층이 기판상에 형성된다. 기판상에 매립된 절연막을 형성하는 방법으로서 공기의 방법, 예컨대, 실란가스 및 산소가스를 이용하는 CVD 법이 사용될 수 있다.

제 1 도전형 표면반도체층은, 해당 분야에서 공지의 반도체층의 형성방법에 따라 소망의 막두께로 형성될 수 있다.

또한, 표면반도체층을 제 1 도전형 표면반도체층으로 하는 방법은, 특별한 방법으로 한정되지 않지만, 다음 방법: 제 1 도전형 불순물을 도핑하면서 표면반도체층을 형성하는 방법; 또는 표면반도체층을 불순물을 도핑하기 위해 표면반도체층을 형성한 후, 제 1 도전형 불순물을 표면반도체층에 주입하는 방법에 의해 도핑하는 방법이 사용될 수 있다. 제 1 도전형 불순물이 P형 불순물인 경우, 보론, BF₃, 알루미늄에 의해 도핑하는 방법이 사용될 수 있다. 제 1 도전형 불순물이 N형 불순물인 경우, 인 또는 비소가 사용된다. 이에

대해, 표면반도체층이 제 1 도전형 불순률로 도핑되는 경우, 표면반도체층 전체가 제 1 도전형 불순률의 균일한 불순률농도로 도핑되거나, 불순률농도가 다른 부분보다 표면에서 더 낮은 제 1 도전형 불순률로 표면반도체층이 도핑되거나, 표면반도체층 전체가 제 1 도전형 불순률의 균일한 농도로 도핑된 후, 제 1 표면반도체층이 도핑되거나, 표면반도체층 전체가 제 1 도전형 불순률을 감소시키기 위해 제 2 도전형 불순률로 도핑될 수 있다. 표면반도체층 전체가 제 1 도전형 불순률농도를 감소시키기 위해 제 2 도전형 불순률로 도핑되는 경우, 제 1 도전형 불순률의 농도는 약 1×10^{19} atoms/cm³ 정도가 바람직하다. 한편, 불순률농도가 표면반도체층의 표면에서 낮은 경우, 그 내지 1×10^{19} atoms/cm³ 정도가 바람직하다. 한편, 불순률농도가 표면반도체층의 표면에서 낮은 경우, 그 내지 1×10^{19} atoms/cm³ 정도가 바람직하다.

다음, 표면반도체총상에 게이트절연막 및 게이트전극이 형성된다. 게이트절연막 및 게이트전극은 MOS 트랜지스터를 형성하는 방법에 따라 형성될 수 있다.

단계 11)에서, 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온이 주입되어 제 2 도전형 소스 및 드레인영역을 형성한다. 제 2 도전형 불순물의 유형은 N형 또는 P형일 수 있고 상기의 불순물이 사용될 수 있다. 소스 및 드레인영역의 깊이는, 표면반도체층의 막두께에 따라 조정될 수 있고, 150nm 내지 200nm의 두께를 갖는 표면반도체층의 경우, 깊이는 약 100nm 내지 150nm 정도가 바람직하다. 예컨대, 인이 사용되는 경우, 약 10keV 내지 25keV의 가속에너지, 및 약 1×10^{16} atoms/cm² 내지 4×10^{16} atoms/cm² 의 도우즈로 인미온이 주입될에 의해, 최종적으로 약 1×10^{19} atoms/cm² 내지 1×10^{21} atoms/cm²의 불순물 농도로 하는 방법이 사용된다. 또한, 비소가 사용되는 경우, 약 20keV 내지 50keV의 가속에너지, 및 약 1×10^{16} atoms/cm² 내지 4×10^{16} atoms/cm²의 도우즈로 비소미온이 주입되는 방법이 사용된다. 이 점에서, 소스 및 드레인영역은 LDD 영역 또는 OOD 영역을 갖는 구조로 형성될 수 있다.

단계 III)에서, 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온이 더 깊게 주입된다. 이에 의해, 제 2 도전형 소스 및 드레인영역하의 제 1 도전형 표면반도체층의 제 1 도전형 불순물농도를 감소시킬 수 있어, 그 결과, 제 2 도전형 소스와 드레인영역 사이의 제 1 도전형 채널영역이고, 매립된 절연막에 인접하고, 채널영역의 표면보다 제 1 도전형 불순물농도가 높은 제 1 도전형 고농도 불순물확산 영역을 형성할 수 있다. 예컨대, 표면반도체층이 약 150nm 내지 200nm의 두께를 갖는 폴리실리콘으로 형성되고, 게이트전극이 200nm의 두께를 갖는 폴리실리콘으로 형성되는 경우, 제 2 도전형 불순물의 이온주입은, 이를 사용하여 약 150keV 내지 170keV의 가속에너지, 및 약 1×10^{18} atoms/cm² 내지 5×10^{18} atoms/cm²의 도우즈로 실행되어, 최종적으로 약 1×10^{16} atoms/cm² 내지 1×10^{17} atoms/cm²의 제 1 도전형 불순물농도로 하게 된다. 비소가 사용되는 경우, 약 320keV 내지 380keV의 가속에너지, 및 약 1×10^{18} atoms/cm² 내지 5×10^{18} atoms/cm²의 도우즈로 이온주입이 실행된다.

이 외에 물질현상에 따른 SQL 구조의 반도체장치의 바람직한 실시예를 도면을 참조하여 설명한다.

실시예 1

도 1은 SOI 구조의 NMOSFET를 나타낸다. 도 1에서, 실리콘기판(1)상에 매립된 절연막(2) 및 표면 실리콘층(3)이 적용되며, 즉, SOI 구조의 기판이 사용된다. SOI 구조의 기판의 표면실리콘층(3)의 표면에 표면실리콘층(3)보다 얇은 N형 소스 및 드레인영역(6,7)이 형성된다. 표면실리콘층(3)의 표면이고, 표면실리콘층(3)에는, P형 표면채널(4)이 배치된다. 또한, 소스 및 드레인영역(6,7)의 표면과 표면실리콘층(3)에는, 표면채널(4)보다 불순률 농도가 낮은 P형 저농도 불순률 확산영역(8,9)이 형성된다. 표면실리콘층(3)에는, 표면채널(4)의 하부이고, 저농도 불순률 확산영역(8,9)사이에는, 표면채널(4)보다 불순률 농도가 높은 P형 표면채널(4)의 하부이고, 저농도 불순률 확산영역(8,9)사이에는, 표면채널(4)보다 불순률 농도가 높은 고농도 불순률 확산영역(5)이 형성된다. 불순률 농도의 프로파일이 도 2에 도시되어 있다. 고농도 불순률 확산영역(5)은 외부전압(10)에 접촉된다. 또한, 표면채널(4)상에 게이트절연막(24)을 통해 게이트 전극(11)이 형성된다.

이 점에서, 1개의 NMOSFET가 상술되었지만, 도 3에 도시된 바와 같이, CMOSFET가 사용될 수 있다.

도 3에 도시된 CMOSFET에서, 표면실리콘층(3)에, 표면실리콘층(3)보다 두껍고, 매립된 절연막(2)에 도달하는 분리영역(13)이 형성되어, NMOS 영역과 PMOS 영역을 분리시킨다. 분리영역(13)은 NMOS와 PMOS 사이의 상호干渉(예컨대. 래치업)을 방지할 수 있다.

또한, NMOS 영역 및 PMOS 영역에 표면실리콘층(3)보다 얇은 소자분리영역(12)이 각각 형성되고, 이들 소자분리영역(12)에 의해 분리된 복수의 NMOSFET 및 복수의 PMOSFET가 NMOS 영역 및 PMOS 영역에 각각 형성된다.

복수의 NMOSFET의 P형 고농도 불순률 확산영역(5)은, 소자분리영역(12)하에 배치되는 P형 고농도 불순률 확산영역(5a)에 의해 서로 접속되고 1개의 위치에서 외부전압(10)에 접속되고, 복수의 PMOSFET의 N형 고농도 불순률 확산영역(15)은, 소자분리영역(12)하에 배치되는 N형 고농도 불순률 확산영역(15a)에 의해 서로 접속되고 1개의 위치에서 외부전압(20)에 접속된다.

PMOSFET는, 상기한 NMOSFET과 도전형이 다른 것을 제외하고 실질적으로 동일한 구성, 즉, P형 소수자 드레인영역(16, 17), N형 채널영역(14), N형 저항도를 확산영역(18, 19), N형 고농도 펄스확산영역(20)으로 구성된다.

영역(15), 게이트절연막 및 게이트전극(21)을 갖고, NMOSFET의 경우와 같이, 외부전압(20)에 접속된다.

이와 같은 구성을 갖는 MOSFET는, 이하의 장점을 갖는다.

(a) 소스 및 드레인영역(6, 7, 16, 17)의 접합용량이 저농도 불순률확산영역(8, 9, 18, 19)의 완전공핍화에 의해 감소될 수 있다.

(b) 표면실리콘층(3)은 완전공핍화 SOI 구조의 표면실리콘층보다 두껍기 때문에, 프로세스마진이 크게 훨 수 있어, 표면실리콘층(3)이 용이하게 제조된다.

(c) 서비스레쉬홀드 스윙은 완전공핍화 SOI와 비교하여 크지만, 외부전압(10, 20)에 의한 채널 보디에 인가된 전압을 제어함에 의해 오프 리크전류를 감소시키도록 임계치전압이 조정될 수 있다.

(d) 고농도 불순률확산영역(5, 15)에 의해 외부전압(10, 20)에 MOSFET가 접속되고, 고농도 불순률확산영역(5, 15)은 인접하는 복수의 트랜지스터에 의해 공유된 공통 웨일영역으로서 형성될 수 있다. 따라서, 기판에 전압을 인가하기 위해 외부영역을 제공할 필요가 없고, MOSFET의 면적을 감소시킬 수 있다. 또한, 트랜지스터의 설계배치는 벌크 CMOS와 동등하게 할 수 있다.

(e) 표면채널(4, 14)하의 고농도 불순률확산영역(5, 15)은 매우 낮은 저항을 갖고, RC 지연 및 예컨대, 게이트전압이 인가될 때의 표면채널(4, 14)의 전위의 과도현상을 제거할 수 있다.

이하에, 상기의 SOI 구조의 MOSFET의 특성에 대해 설명한다. 먼저, 상기 SOI 구조의 MOSFET는 항상 완전공핍화되지 않기 때문에, S 팩터를 감소시킴에 의해 오프 전류가 감소될 수 있다. 그러나, 표면실리콘층(3)의 고농도 불순률확산영역(5)에 의해, MOSFET가 온/오프될 때 임계치전압이 제어될 수 있다.

즉, 도 4에 도시된 바와 같이, 상기 SOI 구조의 MOSFET의 $|d-V_g|$ 특성에 의하면, 게이트전극의 $W/L = 2\mu m/0.35\mu m$ 이고, $V_{ds} = 0.6V$ 인 경우, 기판에 인가되는 전압(V_b)이 멀릴 때, 낮은 임계치전압이 일어질 수 있고, 기판온택트를 개별화에 의해 높은 임계치전압이 일어질 수 있다. 따라서, 예컨대, 틈상의 동작중에는, 기판에 인가된 전압을 조정함에 의해 MOSFET의 임계치전압이 약 0.1V 이하로 감소되며, 높은 구동능력을 얻을 수 있고, 오프 상태중에는, 기판에 인가된 전압을 조정함에 의해 MOSFET의 임계치전압이 약 0.6V 이상으로 증가되어, 오프 리크전류를 감소시킬 수 있다.

웰저항(R_w)은, 도 3에 도시된 바와 같이, 게이트하의 고농도영역(5)의 농도 및 소자분리막하의 고농도영역(5a)의 농도를 조절해 조정함에 의해 결정될 수 있다. 따라서, 상기 웰저항(R_w)은, 이하의 기판전류의 효과 및 AC 과도현상을 고려하여 결정된다.

틈상, 웰내에 형성된 MOSFET가, 도 5(a)에 도시된 바와 같이, 웰온택트(C_w)로부터 거리(S)만큼 떨어져 있을 경우, 웰저항(R_w)은, 도 5(b) 및 5(c)에 도시된 바와 같이, 기판전류(I_{sub})로 인한 오직 전압강하에 따라 소스절합에서의 순방향 바이어스가 되는 것을 피하기 위해 이하의 식에 나타내진 바와 같이, 충분히 감소될 필요가 있다.

$$V_b + R_w \cdot I_{sub} < V_{on} \approx 0.6V$$

웰저항(R_w)은 레이아웃 및 웰의 저항률에 의존한다. 도 6은, 웰의 시트저항이 $300\Omega/\text{sq}\text{r.}$, $10^4\Omega/\text{Sqr.}$, $3 \times 10^3\Omega/\text{Sqr.}$, $10^3\Omega/\text{sqr.}$ 로 변화될 때의 웰저항(R_w)과 MOSFET 및 웰온택트 사이의 거리(S)와의 관계를 나타낸다. 이 점에서, 이 MOSFET가 저전압(V_{dd} : 1V 이하)에 의해 동작될 때, MOSFET의 기판전류(I_{sub})가 약 $10nA/\mu m$ 이하로 대단히 낮고, $10\mu m$ 의 게이트폭을 갖는 MOSFET의 기판전류(I_{sub})가 약 $100nA$ 이하이고, MOSFET의 웰저항(R_w)은 $10^6\Omega$ 이하로 된다. 따라서, 웰의 시트저항이 약 $2000\Omega/\text{sq}\text{r.}$ 이하인 저전압에 의해 동작되는 디바이스의 유형에도 MOSFET가 충분히 응용될 수 있다.

또한, 웰온택트에 대한 AC 과도효과를 얻기 위해, 낮은 웰저항(R_w) 및 낮은 웰용량(C_w)이 필요하다. 이 조건은 다음 식에 의해 표현된다:

$$t_r = \frac{R_w \cdot C_w}{2} \ll tr$$

여기서, t_r 은 신호의 상승시간이다. 예컨대, t_r 이 약 50psec 미하인 고속의 신호에 대해서는, $R_w \cdot C_w \ll 100\text{psec}$ 로 된다. 웰저항(R_w)이 약 2000Ω 미하이고, $C_w \ll 5 \times 10^{-14}\text{F}$ 인 전형적인 경우, 1차 근사식은 다음 식에 의해 표현된다:

$$R_w \cdot C_w \approx \frac{\epsilon_{air} \cdot \rho_r \cdot S^2}{T_{box}} < 2 \cdot tr$$

이들의 관계는 웰두께 및 웰저항을 설계하기 위한 가이드라인으로서 사용될 수 있다. 틈상, 고속동작회로에 대해, $R_w \cdot C_w$ 시정수는 웰온택트의 설계에 있어서 엄격한 조건을 부여한다.

이하에, 도 1에 도시된 NMOSFET의 제조방법을 설명한다.

먼저, 도 7(a)에 도시된 바와 같이, 실리콘기판(1)상에 50nm 내지 500nm의 두께를 갖는 SiO₂로 형성되는 매립된 절연막(2) 및 약 150nm 내지 200nm의 두께를 갖는 표면실리콘층(3)이 적용된 SOI 기판이 사용된다. 이에 대해, 표면실리콘층(3)상에는, 로코스법, 트렌치법 등에 의해 표면실리콘층(3)보다 두껍

고, 각 NMOSFET를 분리하는 소자분리영역(도시안팅)이 형성된다.

다음, 예컨대, 표면실리콘층(3)에 30keV 의 가속에너지 및 $2 \times 10^4 \text{ atoms/cm}^2$ 의 도우즈로 보론이온이 주입된 후, 900°C , 60분간 어닐링으로써, $10^{19} \text{ atoms/cm}^2$ 이상의 보론이온농도를 갖는 P형 고농도 불순물확산영역(5)이 형성된다. 고농도 불순물확산영역(5)은, 트랜지스터가 낮은 배선저항 및 낮은 몬텍트저항을 가지기 위해 필요하다.

다음, 도 7(b)에 도시된 바와 같이, 표면실리콘층(3)상에 10nm의 두께를 갖는 산화막(25)이 형성되고, 산화막(25)을 통해 표면실리콘층(3)에 20keV의 가속에너지 및 $1 \times 10^{14} \text{ atoms/cm}^2$ 의 도우즈로 As 이온(22)이 주입된다. As 이온(22)은, 고농도 불순물을 확산영역(5)의 표면의 불순물의 일부를 칸슬하며, 약 $1 \times 10^{16} \text{ atoms/cm}^2$ 내지 $1 \times 10^{17} \text{ atoms/cm}^2$ 의 불순물을 농도를 갖는 P형 표면채널(4)을 형성한다. 이에 의해, 저전압동작(온 상태)에 대해 0.1V의 일계치전압을 갖는 디바이스를 얻을 수 있다.

다음, 도 7(c)에 도시된 바와 같이, 표면실리콘층(3)상에 게이트절연막(24)이 형성된다. 게이트 절연막(24)의 두께는, 서브하프 마크론 미터의 채널길이를 갖는 디바이스에 대해 약 4nm 내지 8nm 이다. 게이트절연막(24)상에 약 200nm의 두께를 갖는 폴리실리콘막이 형성되고, 포트리소그라피 및 에칭기술에 의해 패터닝되어, 게이트전극(11)을 형성한다. 다음, 게이트전극(11)을 마스크로 사용하여, As 이온(23)이 표면실리콘층(3)에 주입된다. 이온주입은, 320keV의 가속에너지 및 1×10^{14} atoms/cm²의 도우즈로 실행되어, 고농도 불순물 확산영역(5)중, 소스 및 드레인영역(6,7) 및 매립된 절연막(2)의 접합부근의 불순물을 일부를 캔슬하여, 결과적으로, 1×10^{15} atoms/cm² 내지 1×10^{17} atoms/cm²의 불순물 농도를 갖는 P형 저항도 불순물 확산영역(8,9)을 형성한다. 또한, 인이온이, 40keV의 가속에너지 및 4×10^{16} atoms/cm²의 도우즈로 주입되어, 고농도 불순물 확산영역(5)중, 표면실리콘층(3)의 표면의 불순물을 캔슬하여, 도전형을 변화시킨다. 그 결과, 1×10^{20} atoms/cm² 내지 1×10^{21} atoms/cm²의 불순물 농도를 갖는 N형 소스 및 드레인영역(6,7)을 형성한다.

이에 의해, 도 1에 도시된 바와 같이, 소스 및 드레인영역(6,7)하에 P형 저농도

이에 대해, 상기 공정은 PMOSFET와 동시에 실행될 수 있다. 또한, 채널보디 접속 및 채널보디 콘택트는 별크 CMOS 프로세스와 동일한 방식으로 형성되고, 금속배선에 의해 접속되어 반도체장치를 완성한다.

실시예 2

이 바람직한 실시예의 SOI 구조의 NMOSFET는, 도 8에 도시된 바와 같이, N형 소스/드레인영역(6,7)하의 표면실리콘층(3a)에 표면채널(4)과 동등한 불순물농도를 갖는 P형 불순률확산 영역(6a,9a)이 형성되는 것을 제외하고, 바람직한 실시예 1의 SOI 구조의 NMOSFET와 동일하다.

이하에, 도 8에 도시된 SOI 구조의 NMOSFET의 제조방법을 설명한다. 먼저, 실시예 1과 동일한 SOI 기판이 사용되고, 표면질리콘(3)에 P형 고농도 불순을 확산영역(5)이 형성된다.

그 후, 도 9에 도시된 바와 같이, 표면실리콘층(3)의 표면에, 게이트절연막(24) 및 게이트전극(11)이 형성된다. 다음, 게이트전극(11)을 마스크로 사용하여, 게이트전극(11)하의 표면채널(4) 및 표면실리콘층(3)의 표면과 매립된 절연막(2)의 접합 부근에 동시에 인이온(25)이 주입된다. 이온주입은, 150keV의 가속에너지 및 1×10^{14} atoms/cm²의 도우즈로 실행되어, 고농도 불순물확산영역(5)중, 표면채널(4) 및 표면실리콘층(3)과 매립된 절연막(2)의 접합 부근의 불순물의 일부를 캔슬하여, 결과적으로, 약 1×10^{15} atoms/cm²의 불순물농도를 갖는 P형 표면채널(4) 및 불순물확산영역(8a, 9a)을 형성한다. 또한, 인이온은 40keV의 가속에너지 및 4×10^{16} atoms/cm²의 도우즈로 주입되어, 고농도 불순물확산영역(5)중, 표면실리콘층(3a)의 표면의 불순물을 캔슬하여, 도전형을 변환시킨다. 결과적으로, 1×10^{20} atoms/cm² 내지 1×10^{21} atoms/cm²의 불순물농도를 갖는 N형 소스 및 드레인영역(6, 7)을 형성한다.

이에 의해, 바람직한 실시예 1의 제조방법보다 제조단계를 감소시키면서, 도 1에 도시된 SOI 구조의 MOSFET의 경우와 같이, 소스 및 드레인영역(6,7)하에 P형 불순물 확산영역(8a,9a)을 형성할 수 있고, 불순물 확산영역(8a,9a)과 동일한 불순물 농도를 갖는 표면채널(4)을 형성할 수 있다.

불법의 효과

또한, 채널영역이 전원에 접속되는 경우, 외부전압에 의해 채널영역에 인가된 전압이 제어될 수 있다. 따라서, 온 상태에서, 반도체장치의 구동능력이 향상되어 저전압동작을 실현할 수 있고, 오프 상태에서, 오프 리크전류를 감소시키기 위해 임계치전압이 조정될 수 있다.

또한, 소스 및 드레인영역과 매립된 절연막 사이의 표면반도체층이 완전히 공필화되는 경우, 소스 및 드레인영역의 접합용량이 감소될 수 있다.

또한, 채널영역이, 소자분리영역하에 형성된 고농도 불순률확산영역을 통해 인접하는 다른 채널영역에 접속되고, 1개의 위치에서 전원에 접속되는 경우, 포텐셜을 제어하기 위해 기판에 전압을 인가하거나, 반도체장치의 임계치전압을 제어하기 위해 외부영역을 특별히 제공할 필요가 없어, 접유연적을 감고 소시킬 수 있다. 또한, 트랜지스터의 설계배치는 블록 CMOS와 동일하게 될 수 있어, 더 반도체장치의 고집적화를 도모할 수 있다.

(57) 청구의 범위

청구항 1. 매립된 절연막 및 매립된 절연막상의 제 1 도전형 표면반도체층을 갖는 SOI 기판;

상기 표면반도체층에 형성된 제 2 도전형 소스 및 드레인영역;

상기 소스 및 드레인영역 사이의 제 1 도전형 채널영역상에 게이트절연막을 통해 형성된 게이트전극을 포함하며,

상기 소스 및 드레인영역이 상기 표면반도체층보다 얕고, 상기 표면반도체층의 상기 채널영역이, 상기 채널영역의 표면보다 제 1 도전형 불순률농도가 높고, 매립된 절연막에 인접하는 제 1 도전형 고농도 불순률확산영역을 갖는 SOI 구조의 반도체장치.

청구항 2. 제 1 항에 있어서, 제 1 도전형 고농도 불순률확산영역이 1×10^{19} atoms/cm³ 내지 1×10^{20} atoms/cm³의 불순률농도를 갖고, 채널영역의 표면영역이 1×10^{16} atoms/cm³ 내지 1×10^{18} atoms/cm³의 불순률농도를 갖는 반도체장치.

청구항 3. 제 1 또는 2 항에 있어서, 채널영역이 트랜지스터의 특성을 조정 또는 변화시키도록 전원에 접속되는 반도체장치.

청구항 4. 제 1 항에 있어서, 온 상태에서, 임계치전압의 절대치를 감소시키기 위해 채널영역에 바이어스전압이 인가되고, 오프 상태에서, 리크전류를 감소시키기 위해 채널영역이 플로팅상태로 설정되는 반도체장치.

청구항 5. 제 1 항에 있어서, 오프 상태에서, 임계치전류의 절대치를 감소시키기 위해 채널영역에 바이어스전압이 인가되고, 온 상태에서, 임계치전압을 감소시키기 위해 채널영역이 플로팅상태로 설정되는 반도체장치.

청구항 6. 제 1 항에 있어서, 소스 및 드레인영역과 매립된 절연막 사이의 표면반도체층이 완전히 공필화되는 반도체장치.

청구항 7. 제 1 항에 있어서, CMOS 회로를 구성하는 반도체장치.

청구항 8. 제 3 항에 있어서, 반도체장치의 채널영역이, 소자분리영역하에 형성된 고농도 불순률확산영역을 통해 인접하는 채널영역에 접속되고, 1개의 위치에서 전원에 접속되는 반도체장치.

청구항 9. i) 기판상에 매립된 절연막 및 제 1 도전형 표면반도체층을 형성하여, 상기 표면반도체층상에 게이트절연막 및 게이트전극을 형성하는 단계;

ii) 제 2 도전형 소스 및 드레인영역을 형성하기 위해 상기 게이트전극을 마스크로 사용하여 제 2 도전형 불순률이온을 주입하는 단계; 및

iii) 제 2 도전형 소스 및 드레인영역하의 제 1 도전형 표면반도체층의 제 1 도전형 불순률농도를 감소시키기 위해 게이트전극을 마스크로 사용하여 제 2 도전형 불순률이온을 더 깊게 주입함에 의해, 제 2 도전형 소스 및 드레인영역 사이의 제 1 도전형 채널영역이고 매립된 절연막에 인접하고, 채널영역의 표면보다 제 1 도전형 불순률농도가 높은 제 1 도전형 고농도 불순률확산영역을 형성하는 단계를 포함하는 SOI 구조의 반도체장치의 제조방법.

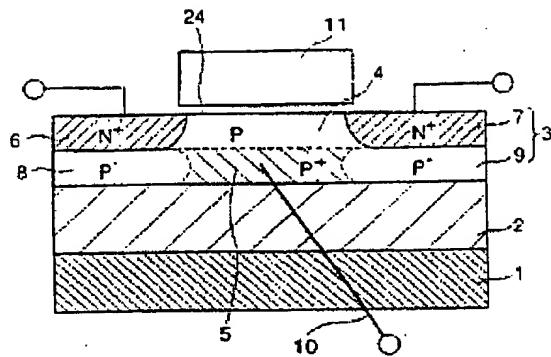
청구항 10. 제 9 항에 있어서, 게이트절연막 및 게이트전극이 단계 i)에서 형성되기 전에, 제 1 도전형 표면반도체층의 표면에만 제 2 도전형 불순률이 주입되어, 상기 표면의 제 1 도전형 불순률농도를 감소시키는 SOI 구조의 반도체장치의 제조방법.

청구항 11. 제 9 항에 있어서, 게이트절연막 및 게이트전극을 통해 표면반도체층의 표면에 제 2 도전형 불순률이온이 도달되도록 하는 가속에너지에 의해 제 2 도전형 불순률이온이 단계 iii)에서 주입되는 SOI 구조의 반도체장치의 제조방법.

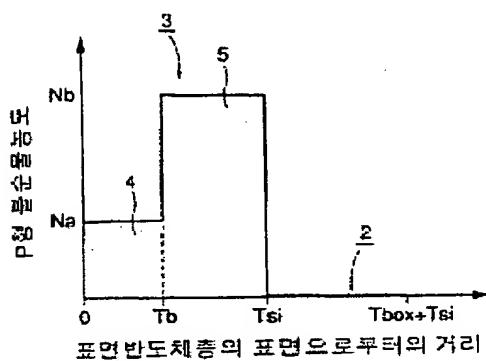
청구항 12. 제 9 항에 있어서, 단계 i)의 제 1 도전형 표면반도체층은 저확산 불순물을 포함하는 SOI 구조의 반도체장치의 제조방법.

도면

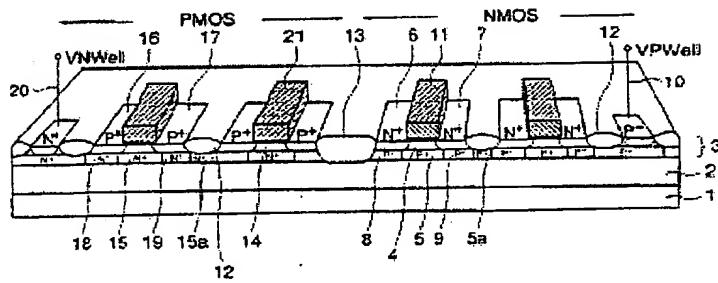
도면1



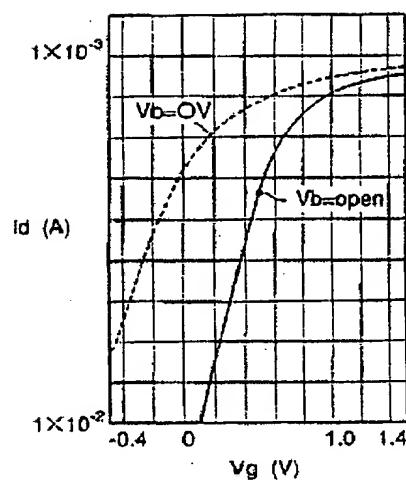
도면2



도면3

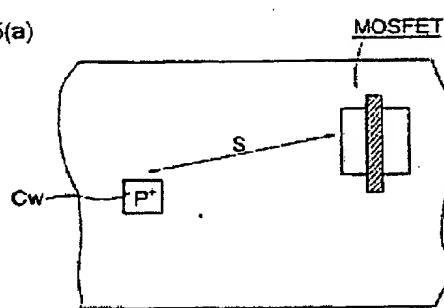


도 4

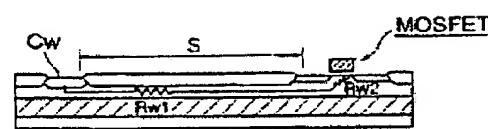


도 5

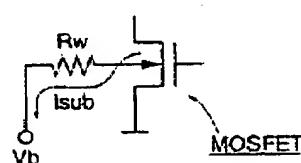
도 5(a)



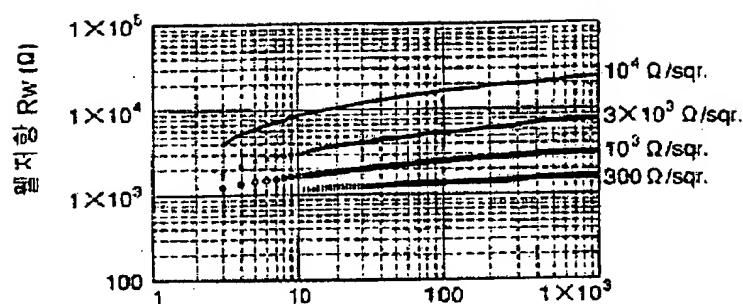
도 5(b)



도 5(c)

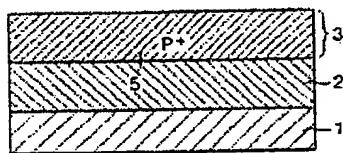


도 28

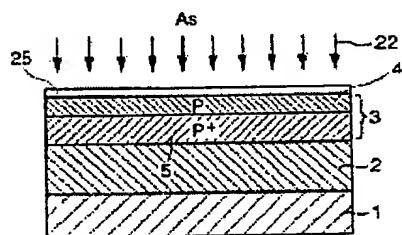
웰 컨택트 Cw와 MOSFET 사이의 거리 S (μm)

도 29

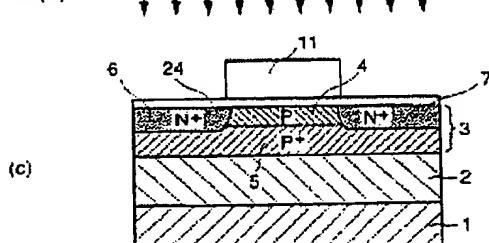
도 7(a)



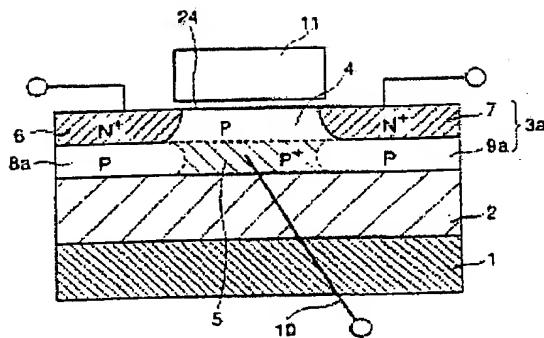
도 7(b)



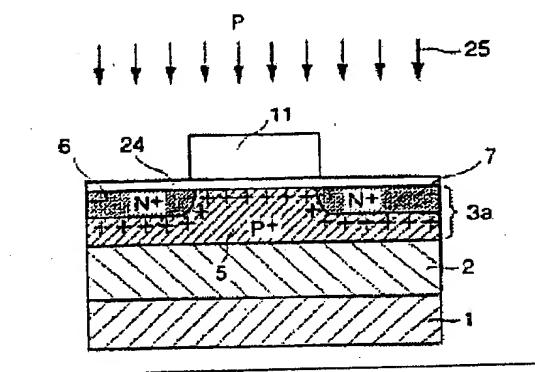
도 7(c)



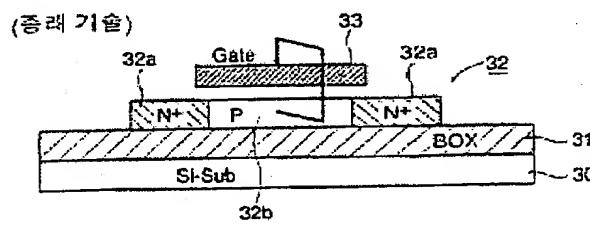
도면8



도면9

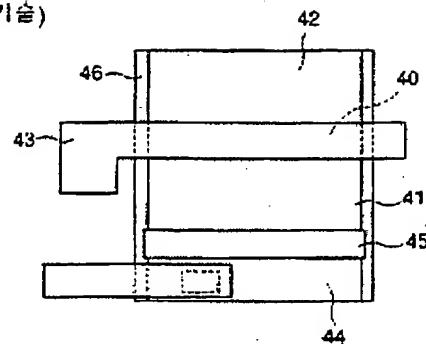


도면10



도면11

(증례 기술)



도면12

(증례 기술)

